

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-188374

(43)Date of publication of application : 04.07.2003

(51)Int.Cl.

H01L 29/78
H01L 21/822
H01L 27/04

(21)Application number : 2001-384343

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.12.2001

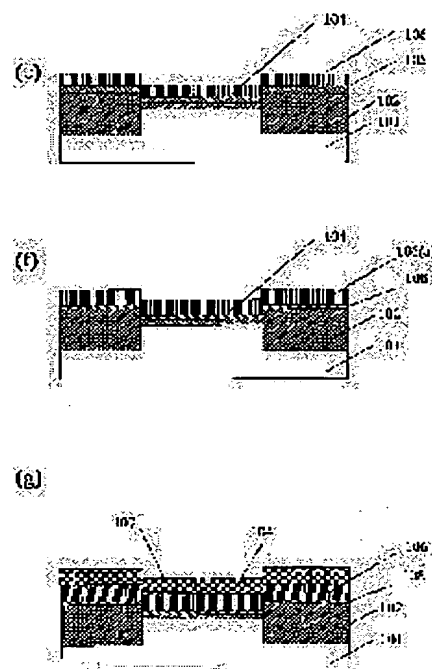
(72)Inventor : YAMAMOTO KAZUHIKO

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a dispersion in capacitance value as well as to reduce the leakage current of a capacitor by enhancing surface flatness in a semiconductor device having a metal-oxide film for the gate insulating film.

SOLUTION: After hafnium metal 105 is deposited on a silicon substrate 101, hafnium-oxide film 106 is deposited by a CVD method, and a heat treatment is carried out. Then, a titanium-nitride film 107 to be the gate electrode is deposited, and is patterned to form the gate electrode. As a result, incubation time in the initial deposition stage of the CVD is reduced, and is uniform within the substrate surface. Therefore, surface flatness of the high-dielectric-constant metal-oxide film is enhanced. By the enhancement of the surface flatness, the leakage current is reduced and the capacitance value is increased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-188374
(P2003-188374A)

(43) 公開日 平成15年7月4日 (2003.7.4)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 5 F 0 3 8
21/822		27/04	C 5 F 1 4 0
27/04			

審査請求 未請求 請求項の数 7 O L (全 5 頁)

(21) 出願番号 特願2001-384343 (P2001-384343)

(22) 出願日 平成13年12月18日 (2001.12.18)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山本 和彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

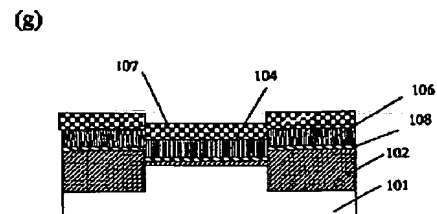
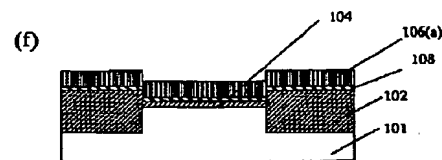
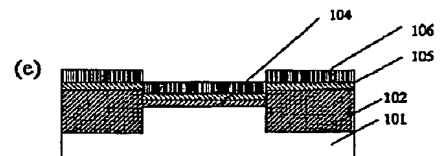
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 金属酸化膜をゲート絶縁膜に備えた半導体装置において、表面平坦性を向上させて、キャパシタの容量値ばらつきと、リーク電流を低減する。

【解決手段】 シリコン基板101上にハフニウム金属105を堆積させ後に、ハフニウム酸化膜106をCVD法により堆積し、その後熱処理する。次に、ゲート電極となるチタン窒化膜107を堆積し、パターニングしてゲート電極を形成する。この結果、CVD堆積初期過程におけるインキュベーションタイムが短縮され、かつ面内で均一となるため、高誘電体金属酸化膜の表面平坦性が向上する。表面平坦性の向上により、リーク電流が低減し、容量値を増加させることができる。



【特許請求の範囲】

【請求項1】 表面にシリコン窒化膜が形成されたシリコン基板上に金属を堆積する工程と、CVD法により前記金属上に高誘電体金属酸化膜を堆積する工程と、前記高誘電体金属酸化膜を熱処理する工程と、上部電極となる金属膜を形成する工程と、前記金属膜及び前記高誘電体金属酸化膜をパターニングして電極を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体基板の窒化は、アンモニア雰囲気中での熱処理、もしくはアンモニアプラズマ雰囲気中での熱処理により形成することを特徴とする請求項1記載の半導体装置の製造方法

【請求項3】 前記高誘電体金属は、ハフニウム、ジルコニウム、アルミニウムのいずれか一つを含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記高誘電体金属酸化膜は、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタンのいずれか一つを含む酸化膜であることを特徴とする請求項1記載の半導体装置。

【請求項5】 前記酸素を含まないガスは、窒素、アルゴン、水素のいずれか一つを含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項6】 シリコン基板の上にシリコン窒化膜と、シリコンを含む金属酸化膜と、シリコンを含まない金属酸化膜と、ゲート電極とが積層して形成されていることを特徴とする半導体装置。

【請求項7】 前記金属酸化膜はハフニウム、ジルコニウム、アルミニウム、タンタル、チタンのいずれか一つを含む酸化膜で構成された請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、詳しくは高誘電体ゲート絶縁膜を有するMOSFET、MOSキャパシタの製造方法に関する。

【0002】

【従来の技術】近年、ロジック・デバイスの特性に対して、高速動作と低消費電力化が要求されている。高速化を実現するためには、MOSFETのゲート容量を増やして駆動電流を増加させる必要がある。そこで従来のシリコン酸化膜やシリコン窒化膜を材料とするゲート酸化膜構造では、ゲート容量を増加させるために絶縁膜膜厚を薄くして対応していた。しかし膜厚を1.5nm以下に薄膜化するとキャパシタに流れるリーク電流が増加してしまうので、高速動作は実現できても低消費電力化は難しく、さらには電荷を蓄積するというキャパシタ本来の動作も困難という課題があった。

【0003】そこでMOSFETのゲート絶縁膜材料として、シリコン酸化膜（比誘電率：3.9）よりも比誘電率の高い高誘電体膜（高誘電率金属酸化膜）、例えば、アルミニウム酸化膜（同：9）、ジルコニウム酸化

膜（同：20）、ハフニウム酸化膜（同：20）、タンタル酸化膜（同：25）、チタン酸化膜（同：40）などを適用する試みがなされている。これら金属酸化膜の比誘電率はシリコン酸化膜に比べて大きいために電荷蓄積量を多くなり、同じ容量値であっても実際の物理的な膜厚を厚く設定できるので、キャパシタのリーク電流の増加を抑制することができる（例えば、Journal of Applied Physics vol. 89 5243(2001)）。

【0004】しかし、シリコン酸化膜系ゲート絶縁膜の形成は、基板であるシリコンウエハを直接酸化することでシリコン酸化膜を得ていたが、高誘電体膜では基板中に高誘電体膜の金属材料が含まれていないので、単純にシリコン基板を酸化させて形成するという手法を使うことができず、したがって、基板上にCVD法、スパッタ法、分子線エピタキシー法、レーザーアブレーション法などの手法により堆積させて形成する方法が知られている。

【0005】

【発明が解決しようとする課題】特に堆積方法の中でもCVD法は、原料ガスの高純度化が容易なこと、大口徑ウエハに対しても均一な膜厚で堆積できること、量産化が容易なことから有望視されている。

【0006】しかしながら、CVD法では膜堆積初期過程において、原料ガス供給後、膜堆積開始までの時間（インキュベーションタイム）に差が生じ、このインキュベーションタイム差によって、堆積膜の平坦性が劣化し、リーク電流の増加や膜厚と容量値のばらつきとなってしまう。

【0007】インキュベーションタイムに差が生じる理由は、ウエハ表面に到達した原料ガスが、分解、吸着し堆積核を形成するとき、原料ガスの分解、吸着が下地材料の種類によってそれぞれの速度が異なるためである。下地材料の差は、ベアシリコン表面の場合は洗浄から堆積までの間に自然酸化膜の形成や有機物の付着などにより発生する。

【0008】初期表面がシリコン酸化膜の場合には、同質の初期表面が得られるものの酸化膜表面では電気的に不活性なため分解、吸着が進みにくく、インキュベーションタイム差が広がってしまう。この結果、初期表面が同質であっても堆積が進行した後の表面状態はばらつき、ベアシリコン表面の場合と同様に堆積膜の平坦性が劣化してしまう。

【0009】したがって、初期表面が均一で、かつ、インキュベーションタイムが短い初期表面を得ることが難しい。

【0010】また、高誘電体膜は一般に金属の酸化膜であり、CVD法により高誘電体膜を形成する場合、酸化性雰囲気中で金属原料を供給することにより堆積させる。この堆積時に酸化性ガスが、基板であるシリコンウエハを酸化してしまう。その結果、高誘電体膜とシリコ

ンウエハとの界面に、意図しないシリコン酸化膜が形成されてしまう。このシリコン酸化膜は比誘電率が高誘電体膜に比べて五分の一程度と低いため、せっかく高誘電体膜を形成しても、高誘電体膜と直列に低誘電率のシリコン酸化膜が接続されるとMISキャパシタとしてのトータル容量は減少してしまい、高誘電体膜を用いるメリットが損なわれてしまう。

【0011】シリコン基板が酸化されることは成膜過程だけの問題ではなく、ゲート絶縁膜形成後の様々な熱処理により相互拡散が生じ、更にシリコン酸化膜が形成される問題がある。

【0012】本発明は、CVD法を用いてシリコン基板上に高誘電率金属酸化膜を堆積して高誘電体ゲート絶縁膜を形成する場合に、CVD法を用いても初期表面が均一で、かつ、インキュベーションタイムが短い初期表面を得ると共に、表面平坦性に優れ、かつ高誘電体膜とシリコン基板との高誘電率絶縁膜との界面に形成されるシリコン酸化膜膜厚が薄い半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体装置の製造方法は、表面にシリコン窒化膜が形成されたシリコン基板上に金属を堆積する工程と、CVD法により金属上に高誘電体金属酸化膜を堆積する工程と、高誘電体金属酸化膜を熱処理する工程と、上部電極となる金属膜を形成する工程と、金属膜及び高誘電体金属酸化膜をパターンニングして電極を形成する工程とを含むことを特徴とする。

【0014】本発明によれば、シリコン基板と高誘電体膜に挟まれた金属層は少なくとも一部が酸性雰囲気でのCVD堆積の際、及び、高誘電体膜形成後の熱処理の際に、酸素が透過してきてもシリコン基板の成分であるシリコンを含有する金属酸化膜となるために、シリコン基板自体は酸化されにくい。従って、シリコン酸化膜が形成されにくいので全体の容量値が減少することを抑制できる。

【0015】さらに、高誘電体金属酸化膜を堆積する前に、高誘電体膜と同種の金属のみをあらかじめ堆積するので、高誘電体膜のCVD堆積前の初期表面は同質かつ導電性であるため、インキュベーションタイムのばらつきを低減、かつ短時間化できる。その結果、堆積膜の平坦性が大幅に向上する。初期表面が導電性であれば電子により原料ガスの分解・吸着は促進されるのでインキュベーションタイムは短縮する。

【0016】本発明の半導体装置は、シリコン窒化膜が形成されたシリコン基板の上に、シリコンを含む金属酸化膜と、シリコンを含まない金属酸化膜と、ゲート電極とが積層して形成されている構成とした。

【0017】この構造により、高誘電率絶縁膜とシリコン基板との界面にシリコン酸化膜が形成されにくくな

り、実効酸化膜厚(EOT: Effective Oxide Thickness)の増大を防止でき、MISキャパシタのトータルの容量を大きくすることができる。

【0018】以上の理由から、本発明によれば、CVD法を用いても平坦性に優れリーク電流が少なく、かつ容量値の大きな半導体装置およびその製造方法を提供できる。

【0019】

【発明の実施の形態】(実施形態)本発明の半導体素子の製造方法について図1を用いて説明する。

【0020】まず、図1(a)に示すように、シリコン基板101に、素子分離絶縁膜(STI: Shallow Trench Isolation)102を形成し、活性領域と非活性領域に分離する。素子分離絶縁膜102を形成した後の活性領域表面には、自然酸化膜103が形成されている。

【0021】次に、図1(b)に示すように、自然酸化膜103を除去し、水素終端された清浄なシリコン表面を得るために、希釈フッ酸(例えば、HF:H₂O=1:200)を用いてエッチング除去した後、純水を用いて水洗し、窒素ブローなどにより乾燥させ、活性領域のシリコン基板101の表面を露出させる。乾燥方法は純水をイソプロピルアルコールで置換した後、減圧雰囲気乾燥させてもよい。

【0022】次に、図1(c)に示すように、アンモニア雰囲気中で急速熱処理を行い、シリコン基板101を窒化させてシリコン窒化膜104を形成する。この実施例では、シリコン窒化膜104の膜厚は1nm以下に形成した。急速熱処理によるシリコン窒化膜の形成条件は、温度600℃、時間30秒、圧力1×10⁵Pa以下とした。本実施例では急速熱処理で行っているが、炉を用いても構わない。圧力が1×10⁵Pa以下の減圧雰囲気である理由は、シリコン窒化膜104形成中に、酸素が混入することによりシリコン窒化膜104へ酸素が混入を防止するためである。酸素が混入すると、シリコン窒化膜104の比誘電率が低下してゲートで形成されるキャパシタトータルの静電容量値が低下する。このような現象を防止するため減圧雰囲気で熱処理を行いシリコン窒化膜104を形成する。

【0023】このシリコン窒化膜104の役割は、シリコン基板101とシリコン基板101上に堆積する膜との反応を抑制するため、界面におけるハフニウムシリサイドやシリコン酸化膜の形成を抑制する。

【0024】次に、図1(d)に示すように、スパッタ法などを用いてハフニウム金属105を形成する。ハフニウム金属105の膜厚は3nm以下とする。ハフニウム金属105のスパッタ条件は、スパッタターゲットとして金属ハフニウムを使用し、チャンバー圧力0.4kPa、スパッタ電力100W、アルゴン流量20ml/minのDCスパッタ法などを用いた。なお、本実施例ではDCスパッタ法を示したが、マグネトロンスパッタ

法など、他の形式でも構わない。また、CVD法で堆積しても構わない。CVD法による堆積の場合、例えば、テトラジエチルアミノハフニウムを含み、かつ、酸素を含まない原料ガスを用いて、チャンパー圧力30Pa、堆積温度は400℃程度で熱CVD法などによりハフニウム金属105を堆積することができる。いずれにせよ、ハフニウム金属105は酸素を含まない雰囲気で堆積することが重要である。

【0025】次に、図2(e)に示すように、CVD法を用いてハフニウム酸化膜106を堆積する。ここで、このハフニウム酸化膜106の膜厚は10nm以下である。ハフニウム酸化膜106の堆積条件は、堆積温度400℃、圧力30Pa、原料ガスはテトラジエチルアミノハフニウム、酸化ガスは酸素である。テトラジエチルアミノハフニウム流量は0.1ml/min、キャリア窒素流量は500ml/min、酸素流量は500ml/minである。ハフニウム酸化膜の堆積はCVD法により行わなければならない。なお、ハフニウム金属105とハフニウム酸化膜106を共にCVD法で堆積する場合には、同一チャンパーを用いて連続的に成膜しても良いし、一旦大気開放しても搬送し、別チャンパーで行っても構わない。あるいは真空搬送して、別チャンパーで行っても構わない。

【0026】次に、ハフニウム酸化膜106を窒素雰囲気中で熱処理し、CVD堆積したハフニウム酸化膜106中に含まれる水分などの不純物を加熱除去する。熱処理の条件は温度400℃以上、時間30秒以上とする。これは、不純物の脱離温度が400℃以上であるため、熱処理は400℃以上の温度が必要だからである。本実施例では急速熱処理で行っているが、炉を用いて熱処理を行っても構わない。

【0027】ハフニウム酸化膜106のCVD堆積時、及びハフニウム酸化膜106の熱処理時に酸素がシリコン基板101に向かって拡散するが、ハフニウム金属105がハフニウム酸化膜106の下地に存在するためシリコン基板101まで拡散しない。しかし、ハフニウム金属105には酸素が到達し、ハフニウム金属105は酸化される。

【0028】その結果、図1(f)に示すように、これにより膜厚が増加したハフニウム酸化膜106aが形成される。また、膜厚が増加したハフニウム酸化膜106aと、下地のシリコン窒化膜104との界面にはシリコンを含有するハフニウム酸化膜(HfSiO₄)108が形成される。

【0029】次に、図2(g)に示すように、CVD法によりチタン窒化膜107を堆積する。膜厚は30nm以上100nm以下である。チタン窒化膜107の堆積条件は、堆積温度650℃、圧力30Pa、原料ガスは四塩化チタン、アンモニアなどを用いる。四塩化チタン流量は20ml/min、アンモニア流量は400ml

/min、四塩化チタンのキャリア窒素ガス流量は50ml/minとした。

【0030】なお、ハフニウム酸化膜106の堆積後に熱処理を行うことなくチタン窒化膜107を堆積したのち、熱処理を行ってもよい。この場合、ハフニウム酸化膜106とチタン窒化膜107とは同一チャンパーを用いて連続的に成膜しても良いし、一旦大気開放しても搬送し、別チャンパーで行っても構わない。あるいは真空搬送して、別チャンパーで行っても構わない。なおチタン窒化膜の堆積方法はCVD法を示したが、スパッタ法でも構わない。さらに、実施例ではチタン窒化膜を挙げたが、導電性材料であれば他の材料でも構わない。

【0031】次に、図3(h)に示すように、公知のフォトリソ工程によりゲート電極をパターンニングし、ドライエッチング工程によってゲートキャパシタ構造を形成する。

【0032】最後に、図3(h)に示すように、低濃度不純物拡散層を形成し、サイドウォール109を形成し、ソース/ドレインとなる高濃度不純物拡散層(不図示)を形成するなど通常のMIS型トランジスタの製造プロセスに従って、ゲート電極に高誘電体ゲート絶縁膜を有するMIS型トランジスタが完成する。このように、本発明に係る半導体装置は、シリコン窒化膜104が形成されたシリコン基板101の上に、シリコンを含むハフニウム酸化膜(HfSiO₄)108と、シリコンを含まないハフニウム酸化膜(HfO₂)106aと、ゲート電極とが形成されている。

【0033】なお実施例として、ハフニウム金属とハフニウム酸化膜の例を挙げたが、他の金属と金属酸化膜、例えば、アルミニウムとアルミニウム酸化膜、ジルコニウムとジルコニウム酸化膜、タンタルとタンタル酸化膜、チタンとチタン酸化膜などの組合せも可能である。

【0034】本実施形態によれば、ハフニウム酸化膜堆積前にあらかじめハフニウム金属を堆積するので、ハフニウム酸化膜のCVD堆積時にインキュベーションタイムが短縮され、かつ表面初期状態が均一となる。その結果、インキュベーションタイムは面内で一定となり、得られるCVD膜の平坦性を向上することができる。平坦性が向上すれば、容量値のばらつきとリーク電流を低減できる。リーク電流が減少すれば、ひいては半導体装置全体の信頼性が向上する。

【0035】

【発明の効果】本発明の半導体装置及び半導体装置の製造方法は、インキュベーションタイムの面内依存性が低減され、かつインキュベーションタイムが短縮するため、平坦なハフニウム酸化膜を形成することができる。堆積膜の平坦性が良好であるので、キャパシタンス容量の面内ばらつきが小さく、均一な特性を得ることができ、さらには薄膜部分での電界集中が起りにくく、リーク電流が少なく、かつ信頼性も向上することができ

10

20

30

40

50

る。

【図面の簡単な説明】

【図 1】本発明の実施の形態の半導体装置を示す工程断面図

【図 2】本発明の実施の形態の半導体装置の製造方法を示す工程断面図

【図 3】本発明の実施の形態の半導体装置の製造方法を示す工程断面図

【符号の説明】

101 シリコン基板

102 素子分離絶縁膜

103 自然酸化膜

104 シリコン窒化膜

105 ハフニウム金属

106 ハフニウム酸化膜

106 a 膜厚が増加したハフニウム酸化膜

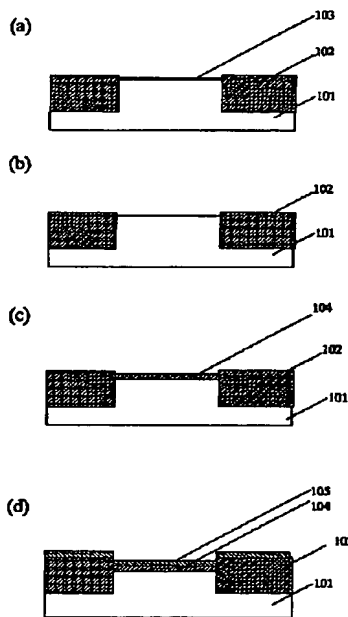
107 チタン窒化膜

108 シリコンを含むハフニウム酸化膜

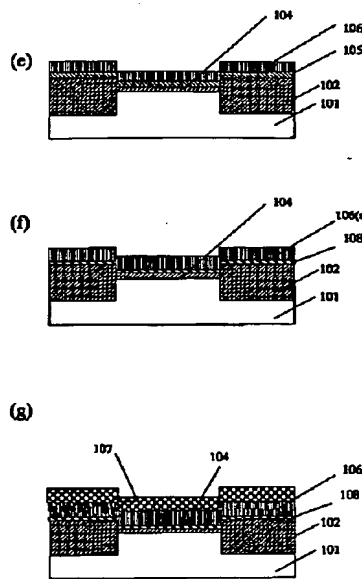
109 サイドウォール

10

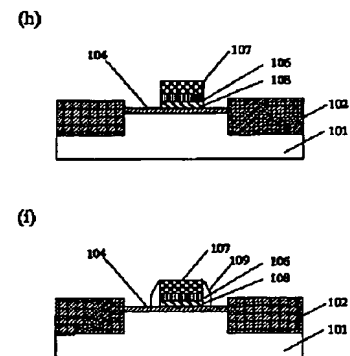
【図 1】



【図 2】



【図 3】



フロントページの続き

Fターム(参考) 5F038 AC15 EZ14 EZ20

5F140 AA24 BA01 BD02 BD07 BD11

BD12 BD13 BE03 BE07 BE08

BE09 BE10 BE17 BE19 BF01

BF10 BG08 BG28 BG30 BG38

BH14 BH15 CB04 CE10